



«Проектирование и моделирование печатных плат с памятью стандарта DDR3/4 средствами Cadence Allegro и Sigrity»

Цель – изучение методологии проектирования DDR памяти и моделирования DDR интерфейса в системе Sigrity.

Категории слушателей – схемотехники и конструкторы печатных плат.

Срок занятий – 24 ак. часов, с включением теоретических и практических занятий.

Форма занятий – очная, с отрывом от производства.

Режим занятий – 7 часов ежедневно.

Формат занятий – тренинг, с выдачей сертификатов.

№
п/п

Наименование разделов и тем

Раздел I. Введение.

- 1.1 Виды цепей, связывающих DDRx и ПЛИС/CPU.
- 1.2 Организация памяти Fly by и Daisy chain.
- 1.3 Регистровая и простая память.

Раздел II. Подбор и расстановка элементов.

- 2.1 Расположение микросхем памяти и CPU на ПП.
- 2.2 Подбор номенклатуры фильтрующих конденсаторов и создание шаблона их расстановки.

Раздел III. Проектирование топологии

- 3.1 Создание физических и электрических констант для трассировки памяти DDR4.
- 3.2 Настройка проекта. Stackup. Pad Stack.
- 3.3 Генерация шаблона фан-аута для трассировки микросхем памяти.
- 3.4 Трассировка сигнальных линий от микросхемы памяти к процессору.
- 3.5 Трассировка полигонов земли и питания DDR/ПЛИС/CPU.

Раздел IV. Моделирование топологии

- 4.1 Создание библиотеки материалов.
- 4.2 Создание библиотеки конденсаторов проекта.
- 4.3 Извлечение полного сопротивления системы земли и питания.

- 4.4 Оптимизация матрицы фильтрующих конденсаторов.
- 4.5 Извлечение моделей s-параметров сигнальных цепей.
- 4.6 Подключение ibis моделей.
- 4.7 Построение eye-диаграммы DDR интерфейса.
- 4.8 Анализ полученных результатов.
- 4.9 Обработка результатов. Постанализ. Генерация отчетов.

Утверждаю:

Генеральный директор
ООО «Инженерные решения»



А.И. Решетников